

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010001735 A  
 (43)Date of publication of application: 05.01.2001

(21)Application number: 1019990021152  
 (22)Date of filing: 08.06.1999

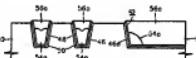
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72)Inventor: HONG, SU JIN

(51)Int. Cl H01L 21/76

**(54) SEMICONDUCTOR DEVICE HAVING A TRENCH TYPE ISOLATION LAYER AND A MANUFACTURING METHOD THEREOF**

**(57) Abstract:**

PURPOSE: A semiconductor device having a trench type isolation layer is provided to prevent a defect such as a shallow pit caused by stress even when an oxidizing process is performed after a polysilicon layer is filled in a trench, by forming an oxide barrier layer, i.e., a nitride layer on the entire surface of the substrate exposed through the trench before a part of the trench is filled with the polysilicon layer having a superior filling characteristic. CONSTITUTION: A semiconductor device having a trench type isolation layer comprises a substrate(40), a trench(46,46a), a barrier layer, the first material layer(54) and the second material layer(56a). The trench is formed on the substrate. The barrier layer includes a nitride layer, and is formed on the entire surface exposed through the trench. The first material layer fills a part of the trench having the barrier layer. The second material layer fills the rest of the trench so that the first material layer is not exposed.



COPYRIGHT 2001 KIPO

**Legal Status**

Date of request for an examination (20040128)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20060207)

Patent registration number (1005645500000)

Date of registration (20060321)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

공개특허특2001-0001735

(19) 대한민국특허청(KR)  
 (12) 공개특허공보(A)

(51) Int. Cl. 6  
 H01L 21/76

(11) 공개번호 특2001-0001735  
 (43) 공개일자 2001년01월05일

(21) 출원번호 10-1999-0021152  
 (22) 출원일자 1999년06월08일

(71) 출원인 삼성전자 주식회사 유품용  
 경기도 수원시 팔달구 매탄3동 416  
 (72) 발명자 총수진  
 서울특별시 동작구 노량진2동294-201  
 (74) 대리인 이영필  
 권설흠  
 정상빈

심사청구 : 없음

## (54) 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법

## 요약

트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법에 관해 개시되어 있다. 본 발명은 기판, 상기 기판에 형성된 트랜치, 상기 트랜치를 통해서 노출되는 기판의 전면에 형성된 절벽막을 포함하는 산화 장벽층, 상기 장벽층이 형성된 트랜치의 일부를 채운 제1 물질막 및 상기 제1 물질막이 노출되지 않게 상기 트랜치의 나머지를 채운 제2 물질막으로 이루어진 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 제공한다. 상기 제1 물질막으로서 폴리실리콘을 사용함으로써 종횡비(aspect ratio)가 큰 트랜치의 매립(filling) 특성이 개선된다. 또한, 소자분리막과 트랜치를 통해서 노출되는 기판 사이에 산화 장벽층 즉, 절벽막을 구비함으로써 후속 산화공정에서 스트레스에 의한 셀로우 피트와 같은 결함이 발생되는 것을 방지 할 수 있다.

## 대표도

도6

## 영세서

## 도면의 간단한 설명

도 1 내지 도 6은 본 발명의 실시예에 의한 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 단계 별로 나타낸 단면도이다.

\*도면의 주요 부분에 대한 부호설명\*

40:반도체 기판, 42:매드 산화막.

44:절화막, 46, 46a:제1 및 제2 트랜치.

48, 50, 52:제1 내지 제3 절연막.

54, 56:제1 및 제2 물질막.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로서, 자세하게는 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법에 관한 것이다.

트랜치형 소자분리방법은 반도체 장치가 고집적화 되는 상황에서 기판에 형성되는 소자들을 전기적으로 보다 효과적으로 분리시키기 위해 제시된 방법으로 기판에 얇은 트랜치를 형성한 다음 절연막을 채워 소자분리막을 형성하는 방법이다.

그런데, 반도체 장치의 디자인 풀이 작아지면서 기판에서 트랜치가 형성될 수 있는 영역이 작아져서 트랜치의 종횡비가 급격히 증가된다. 이렇게 되면서 트랜치의 매립 특성이 저하되는 문제가 발생된다. 따라서, 일반적으로는 USG(Undoped Silicate Glass)막등과 같은 CVD(Chemical Vapor Deposition)막으로 트랜치를 채울 수는 없는 경우, HDP(High Density Plasma)를 이용한 막이나 고온 USG막으로 트랜치를 채운다. 그러나, 트랜치의 종횡비가 3.0이상이 되면 비록 HDP를 이용한 막으로 트랜치를 채운다 하더라도 그 안에 보이드(void)가 형성되는 등의 문제가 발생된다.

이를 개선하기 위해, 종래 기술은 매립 특성이 우수한 폴리 실리콘층으로 고 종횡비의 트랜치를 채우는 방법을 제시한 바 있다. 이에 따르면, 폴리 실리콘층을 사용함으로써 고 종횡비를 갖는 트랜치를 채울 수는 있으나, 후속 산화공정에서 발생되는 스트레스로 인해 트랜치 바닥의 기판에 셀로우 피트(shallow pit) 등과 같은 결정결합이 발생되는 문제가 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술이 갖는 문제점을 해소하기 위한 것으로써, 미세 트랜치에 대한 매립 특성을 높이면서 그에 수반되는 후속 산화공정에서의 부작용, 즉 셀로우 피트가 발생되는 것을 방지할 수 있는 트랜치형 소자분리막을 구비하는 반도체 장치를 제공함에 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기의 특성을 갖는 트랜치형 소자분리막을 구비하는 반도체 장치의 제조방법을 제공함에 있다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명은 기판, 상기 기판에 형성된 트랜치, 상기 트랜치를 통해서 노출되는 기판의 전면에 형성된 절연막을 포함하는 장벽층, 상기 장벽층이 형성된 트랜치의 일부를 채운 제1 물질막 및 상기 제1 물질막이 노출되지 않게 상기 트랜치의 나머지를 채운 제2 물질막을 구비하는 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치를 제공한다.

본 발명의 실시예에 의하면, 상기 장벽층은 제1 내지 제3 절연막으로 이루어져 있으며, 상기 제1 절연막은 열 산화막이고, 상기 제2 절연막은 질화막이며, 상기 제3 절연막은 산화막으로써, MTO(Medium Temperature Oxide)막 또는 HTO(High Temperature Oxide)막이다.

여기서, 상기 제1 물질막은 미세 트랜치를 채우는 특성이 우수한 물질막으로써 상기 트랜치의 종횡비를 낮추는 역할을 하며 폴리 실리콘층 또는 비정질(amorphous) 실리콘층이다. 그리고 상기 제2 물질막은 화학기상증착(Chemical Vapor Deposition, 이하, CVD라 함) 산화막이다. 그리고 상기 제2 절연막의 두께는 50Å~300Å 정도이고, 상기 제3 절연막은 100Å~500Å 정도이다.

본 발명의 실시예에 의하면, 상기 제1 물질막은 산화막과 폴리 실리콘층으로 이루어져 있거나, 전부가 산화막이다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 기판에 트랜치를 형성하는 단계; 상기 트랜치를 통해서 노출되는 기판의 전면에 제1 절연막을 형성하는 단계; 상기 기판 상에 상기 제1 절연막의 전면을 덮는 제2 및 제3 절

연막을 순차적으로 형성하는 단계; 상기 제3 절연막 상에 상기 트랜치를 채우는 제1 물질막을 형성하는 단계; 상기 제1 물질막을 쇠각하여 상기 트랜치의 일부를 상기 제1 물질막으로 채우되, 그 표면이 상기 기판의 표면보다 낮게 될 때까지 상기 제1 물질막을 쇠각하는 단계; 상기 기판 상에 상기 트랜치의 너머지를 채우는 제2 물질막을 형성하는 단계; 상기 제2 물질막의 전면을 상기 기판의 표면이 노출될 때 까지 평탄화 하는 단계; 및 상기 평탄화 한 후의 결과물을 어닐링하는 단계를 포함하는 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치의 제조방법을 제공한다.

본 발명의 실시예에 의하면, 상기 제1 내지 제3 절연막은 각각 열 산화막, 질화막(SiN) 및 MTO 막 또는 HTO 막으로 형성한다. 그리고 상기 제1 및 제2 물질막은 각각 폴리 실리콘층 및 CVD 산화막으로 형성한다. 상기 제1 물질막은 비정질 폴리 실리콘층으로 형성할 수도 있다.

그리고 상기 제1 물질막의 전면을 에지 백하여 쇠각하여, 습식 또는 건식 쇠각을 이용한다.

또한, 상기 평탄화 후에 실시하는 어닐링은 질소(N2)어닐, 습식 어닐 또는 산소 어닐이다.

본 발명의 다른 실시예에 의하면, 상기 제1 물질막으로 상기 트랜치의 일부를 채운 후 산화 공정을 실시할 수 있다.

이와 같이, 폴리 실리콘층을 포함하는 트랜치형 소자분리막과 트랜치를 통해 서 노출되는 기판 사이에 산화 장벽 층 즉, 질화막을 구비함으로써 후속 산화공정에서 스트레스에 의한 세로우 피트와 같은 결함이 발생되는 것을 방지할 수 있다.

이하, 본 발명의 실시예에 의한 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 참조된 도면들을 참조하여 상세하게 설명한다.

그러나 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어져서는 안된다. 본 발명의 실시예는 단업계에서 필급적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서 층이나 영역들의 두께는 당시로서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다.

첨부된 도면들 중, 도 1 내지 도 6은 본 발명의 실시예에 의한 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 단계별로 나타낸 단면도이다.

먼저, 본 발명의 실시예에 의한 트랜치형 소자분리막을 구비하는 반도체 장치를 설명한다.

도 6을 참조하면, 기판(40), 예컨대 반도체 기판에 소정의 깊이로 제1 및 제2 트랜치(46, 46a)가 형성되어 있다. 상기 제1 트랜치(46)는 기판의 코아(core)영역에 형성된 것으로 주변회로영역에 비해 상대적으로 소자들의 밀도가 높은 영역에 형성된 트랜치이다. 그리고 상기 제2 트랜치(46a)는 코아 영역에 비해 소자들의 밀도가 낮은 주변 회로 영역에 형성된 트랜치이다. 따라서, 상기 제2 트랜치(46a)의 폭은 상기 제1 트랜치(46)의 폭에 비해 넓게 형성되어 있다. 상기 제1 및 제2 트랜치(46, 46a)는 제1 및 제2 물질막 패턴(54a, 56a)으로 채워져 있는데, 상기 제1 및 제2 트랜치(46, 46a)에 따라 상기 제1 및 제2 물질막 패턴(54a, 56a)의 채워진 비율이 다르다.

즉, 상기 제1 트랜치(46)의 경우, 하부는 상기 제1 물질막 패턴(54a)으로, 상부는 상기 제2 물질막 패턴(56a)으로 각각 채워져 있다. 그러나, 상기 제2 트랜치(46a)의 경우, 상기 제1 물질막 패턴(54a)은 상기 제2 트랜치(46a)의 비不得已 모서리 부분에 형성되어 있고, 나머지 부분은 모두 상기 제2 물질막 패턴(56a)으로 채워져 있다. 상기 제1 물질막 패턴(54a)은 폴리 실리콘이고, 제2 물질막 패턴(56a)는 CVD 산화막이다.

본 발명의 다른 실시예에 의하면, 상기 제1 물질막 패턴(54a)은 부분 산화된 폴리 실리콘층이거나 완전히 산화된 폴리실리콘층일 수도 있다. 즉, 실리콘 산화막과 폴리실리콘층으로 이루어져 있거나, 실리콘 산화막으로 이루어져 있을 수 있다.

한편, 상기 제1 및 제2 트랜치(46, 46a)를 통해서 노출되는 기판(40)의 전면(이하, 트랜치 내벽이라 함)과 상기 제1 및 제2 물질막 패턴(54a, 56a)은 직접 접촉되어 있지 않다. 즉, 상기 제1 및 제2 트랜치(46, 46a)의 내벽과 상기 제1 및 제2 물질막 패턴(54a, 56a) 사이에 질화막을 포함하는 복수개의 장벽층(48, 50, 52)이 형성되어 있다. 상기 제1 절연막(48)은 상기 장벽층(48, 50, 52)은 순차적으로 형성된 제1 내지 제3 절연막(48, 50, 52)이다. 상기 제1 절연막(48)은 상

기 제1 및 제2 트랜치(46, 46a)의 내벽을 안정화시키며, 후속 열 공정에서 상기 제2 절연막(50)과 상기 제1 및 제2 트랜치(46, 46a)를 둘러싸는 기판(40)사이의 열적 스트레스를 완화 시키기 위한 것으로서 층별 산화막이다. 상기 제2 절연막(50)은 질화막(SiN)으로서 그 두께는 50~300 Å 정도이다. 상기 제2 절연막(50)은 산화 장벽층(oxidation barrier)이다. 상기 제2 절연막(50)은 상기 제1 물질막 패턴(54a) 형성 후의 산화공정에 의한 스트레스에 의해 트랜치 바닥의 기판에 셀로우 퍼(shallow pit) 형성되는 것을 방지하는 역할을 한다. 상기 제3 절연막(52)은 HTO막 또는 MTO막으로서 그 두께는 100~500 Å 정도이다.

다음에는 상기한 바와 같은 구성요소들로 이루어진 트랜치형 소자분리막을 구비하는 본 발명의 실시예에 의한 반도체 장치의 제조방법을 설명한다.

구체적으로, 도 1을 참조하면, 기판(40) 상에 패드 산화막(42) 및 질화막(44)을 순차적으로 형성한다. 상기 질화막(44) 상에 갈광막(미도시)을 도포한 다음 퍼터닝하여 상기 기판(40)에서 활성영역으로 설정된 영역을 덮는 갈광막 패턴(44a)을 형성한다. 따라서, 상기 질화막(44) 중에서 상기 기판의 패드영역을 덮고 있는 부분은 노출된다. 상기 갈광막 패턴을 각각마스크로 사용하여 상기 질화막(44) 및 패드 산화막(42)에 그 계면이 노출되는 반면, 활성영역은 상기 질화막(44) 및 패드 산화막(42)으로 이루어진 적층에 닿하게 된다. 상기 질화막(44) 및 패드 산화막(42)을 각각마스크로 사용하여 상기 기판(40)의 패드영역에 소정의 깊이를 갖는 제1 및 제2 트랜치(46, 46a)를 형성한다. 상기 제1 트랜치(46)는 상기 기판(40)의 코어(core)영역에 형성된다. 즉, 주변회로영역에 비해 소자들의 밀도가 높은 영역에 형성된다. 반면, 상기 제2 트랜치(46a)는 상기 코어영역에 비해 상대적으로 소자 밀도가 낮은 주변회로영역에 형성된다.

도 2를 참조하면, 상기 기판(40)에 상기 제1 및 제2 트랜치(46, 46a)를 형성한 후, 상기 기판(40)의 상기 제1 및 제2 트랜치(46, 46a)를 통해서 노출되는 전면에 제1 절연막(48)을 형성한다. 상기 제1 절연막(48)은 열 산화막으로 형성된다. 따라서, 상기 제1 절연막(48)은 상기 패드 산화막(42)과 연결되어 물 사이에는 구분이 어려진다. 상기 제1 절연막(48)이 형성된 결과물의 전면에 제2 및 제3 절연막(50, 52)을 순차적으로 형성한다. 상기 제2 절연막(50)은 산화 장벽층으로서 상기 제1 및 제2 트랜치(46, 46a)를 물질막, 예컨대 폴리 실리콘으로 채운 뒤 진열되는 후속 산화공정에서 스트레스에 의해 셀로우 퍼가 형성되는 것을 방지하기 위한 절연막이다. 따라서, 상기 제2 절연막(50)은 질화막(SiN)으로 형성하는 것이 바람직하다. 이때, 상기 질화막은 50 Å ~ 300 Å 정도의 두께로 형성하는 것이 바람직하다.

한편, 상기 제3 절연막(52)은 후속 에치 백 공정에서 상기 제2 절연막(48)이 손상되는 것을 방지하기 위한 목적의 으로써 쇠작저지막으로 사용된다. 특히, 상기 제3 절연막(52)은 후속 공정에서 상기 제1 및 제2 트랜치(46, 46a)를 폴리실리콘층으로서 채운 후 실시되는 에치 백 공정에서 상기 저지막으로 사용되므로, 상기 폴리 실리콘층에 대한 쇠작 선택비가 높아야 한다. 곧, 상기 폴리 실리콘층에 비해 쇠작율이 훨씬 낮은 절연막으로 형성하는 것이 바람직하다. 따라서, 상기 제3 절연막(52)은 산화막, 특히 MTO막 또는 HTO막으로 형성하는 것이 바람직하다. 이 때, 상기 제3 절연막(52)은 100 Å ~ 500 Å 정도의 두께로 형성하는 것이 바람직하다.

도 3을 참조하면, 상기 제3 절연막(52)이 형성된 결과물 전면에 상기 제1 및 제2 트랜치(46, 46a)를 채우는 제1 물질막(54)을 형성한다. 상기 제1 물질막(54)은 상기 제1 및 제2 트랜치(46, 46a), 특히 트랜치 쪽이 좁은 상기 제1 트랜치(46)를 채우는 특성이 우수한 물질막으로 형성하는 것이 바람직하다. 또한, 상기한 바와 같이, 상기 제3 절연막(52)은 상기 제2 절연막(50)의 쇠작 저지막으로 사용되므로, 상기 제1 물질막(54)은 상기 제3 절연막(52)의 이러한 목적을 달성할 수 있는 물질막으로 형성하는 것이 바람직하다. 곧, 상기 제3 절연막(52)에 비해 쇠작율이 훨씬 낮은 물질막으로 형성하는 것이 바람직하다. 따라서, 상기 제1 물질막(54)은 폴리 실리콘층으로 형성하는 것이 바람직하다. 이때, 상기 폴리 실리콘층은 비정질 실리콘층으로 형성할 수 있다. 폴리 실리콘층으로 형성할 때, 상기 제1 물질막(54)은 500 Å ~ 2,000 Å 정도의 두께로 형성하는 것이 바람직하다. 그러나, 상기 제1 물질막(54)은 쪽이 좁은 트랜치, 곧 상기 제1 트랜치(54a)를 완전히 채울 수 있을 정도의 충분한 두께로 형성하는 것이 바람직하다. 예컨대, 타겟의 스페이스가 0.3 μm라면 상기 폴리 실리콘층은 적어도 0.15 μm정도의 두께로 형성하는 것에 바람직하다.

도 4를 참조하면, 상기 제1 및 제2 트랜치(46, 46a)의 일부를 상기 제1 물질막 패턴(54a)으로 채우는데, 이것은 상기 제1 물질막(54)의 전면을 에치 백으로 나타난 결과이다. 즉, 상기 제1 물질막(54)의 전면을 에치 백하되, 상기 제1 트랜치(46)에서 상기 제1 물질막(54)의 표면이 상기 기판(40)의 표면보다 낮아질 때까지 실시한다. 이렇게 함으로써, 상기 제1 트랜치(46)의 하부를 채워 상기 제1 트랜치(46)의 종횡비(aspect ratio)를 줄이는 제1 물질막 패턴(54a)이 형성된다. 따라서, 물질막으로 형성되는 상기 제1 및 제2 트랜치(46, 46a)를 채우는 물질막에 어떤 결함, 예컨대 보이드(void)가 형성되는 것을 방지할 수 있다. 상기 제1 물질막 패턴(54a)으로 상기 제1 트랜치(46)를 채우는 정도는 후속 쇠작 및 세정공정에 의해 상기 제1 트랜치(46)의 위쪽 나머지 부분을 채운 물질막이 쇠작되더라도 상기 제1 물질막 패턴(54a)이 노출되지 않을 정도가 바람직하다. 이렇게 하면, 후속 쇠작 및 세정공정이 진행되더라도 상기 제1 물질막 패턴(54a)의 노출에 의해 브리지가 형성되는 문제는 해소할 수 있다. 상기 예

치 백에 의해 상기 제1 물질막 패턴(54a)의 표면보다 위에 형성된 상기 제1 물질막(54)은 모두 제거된다. 그러나, 이 과정에서 상기 제3 절연막(52)이 손상되어 상기 제2 절연막(50)이 노출되어서는 안되므로, 상기 에치 백은 산화막에 대한 풀리 실리콘층의 식각 선택비가 높은 잠비를 사용하여 실시하는 것이 바람직할 것이다. 상기 에치 백은 건식 또는 습식식식으로 실시한다.

상기 제1 트랜치(46)에 비해 상대적으로 폭이 넓은 상기 제2 트랜치(46a)에는 바닥의 모서리 부분에만 상기 제1 물질막 패턴(54a)이 형성된다. 따라서, 상기 제2 트랜치(46a)의 바닥의 가운데 부분은 대부분 노출된다.

한편, 본 발명의 다른 실시예에 의하면, 상기 에치 백을 실시한 후 상기 제1 물질막 패턴(54a)의 표면보다 높은 곳에, 특히 할성영역의 코너 부분에 상기 제1 물질막(54)의 잔류물을 있을 것에 대비하여 상기 제1 물질막 패턴(54a)이 형성된 결과물에 대해 산화공정을 더 실시할 수도 있다. 이렇게 함으로써, 상기 제1 물질막(54)의 상기 잔류물들은 모두 산화될 수 있다. 또한, 상기 제1 물질막 패턴(54a)의 노출된 부분의 일부 산화되어 상기 제1 물질막 패턴(54a)의 노출된 표면에 실리콘 산화막이 형성될 수 있다. 결국, 본 발명의 다른 실시예에서 상기 제1 물질막 패턴(54a)은 실리콘 산화막이 풀리 실리콘층을 감싸는 형태로 형성될 수 있다.

도 5를 참조하던, 상기 제1 물질막 패턴(54)으로 상기 제1 및 제2 트랜치(46, 46a)의 일부가 체워진 결과물 전면에 상기 제1 및 제2 트랜치(46, 46a)의 나머지 부분을 채우는 제2 물질막(56)을 형성한다. 상기 제2 물질막(56)은 CVD산화막으로 형성하는 것이 바람직하다. 이후, 상기 제1 및 제2 트랜치(46, 46a)를 채운 물질막의 치밀화(Densification)를 위해 어닐공정을 진행한다. 상기 어닐공정은 질소(N2)어닐공정을 이용한다.

한편, 본 발명의 다른 실시예에 의하면, 상기 어닐 공정으로써 상기 제1 물질막(54), 곧 풀리 실리콘층의 밖으로 노출된 부분 또는 그 잔류물을 산화시키기 위해, 습식 어닐(wet anneal)이나 산소 어닐(O2 anneal)공정을 이용할 수도 있다. 이러한 공정으로, 상기 제1 물질막 패턴(54a)의 일부가 산화되거나 모두가 산화될 수 있다.

상기 어닐 공정후, 상기 제2 물질막(56)의 전면을 상기 기판(40)의 표면이 노출될 때 까지 정탄화하면, 상기 제1 물질막 패턴(54a) 및 제2 물질막 패턴(56a)으로 이루어지는 트랜치형 소자분리막이 상기 제1 및 제2 트랜치(46, 46a)에 형성된다.

상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기 보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 상기 제1 내지 제3 절연막(48, 50, 52) 또는 상기 제1 및 제2 물질막(54, 56)으로 상기 언급한 것외의 다른 절연막이나 물질막을 사용할 수 있을 것이다. 또한, 상기 제1 내지 제3 절연막(48, 50, 52)의 형성개념을 트랜치형 소자분리막 외의 다른 형태의 소자분리막 형성에 적용할 수 있을 것이 명백하다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

### 발명의 효과

상술한 바와 같이, 본 발명은 좁은 트랜치를 채우는 특성이 우수한 풀리 실리콘층으로 그 일부를 채우기 전에 상기 트랜치를 통해서 노출되는 기판의 전면에 산화 장벽층 즉, 질화막을 형성한다. 이렇게 하면, 상기 트랜치에 풀리 실리콘을 채운 후에 산화공정을 실시하더라도 스트레스에 의한 색로우 피트와 같은 결함이 발생되는 것을 방지할 수 있다.

### (57)청구의 범위

청구항1

기판:

상기 기판에 형성된 트랜치;

상기 트랜치를 통해서 노출되는 기판의 전면에 형성된 질화막을 포함하는 장벽층;

상기 장벽층이 형성된 트랜치의 일부를 채운 제1 물질막; 및

상기 제1 물질막이 노출되지 않게 상기 트랜치의 나머지를 채운 제2 물질막을 구비하는 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치.

청구항2

제 1 항에 있어서, 상기 장벽층은 제1 내지 제3 절연막으로 이루어져 있으며, 상기 제1 절연막은 열 산화막이고,

상기 제2 절연막은 질화막이며, 상기 제3 절연막은 MTO막 또는 HTO막인 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치.

#### 청구항3

제 1 항에 있어서, 상기 제1 물질막은 매립 특성이 우수한 물질막으로써 상기 트랜치의 증침비를 낮추는 역할을 하는 일부 또는 전부 산화된 폴리 실리콘층이나 비정질(amorphous) 폴리 실리콘층이고, 상기 제2 물질막은 CVD 산화막인 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치.

#### 청구항4

기판에 트랜치를 형성하는 단계;

상기 트랜치를 통해서 노출되는 기판의 전면에 제1 절연막을 형성하는 단계;

상기 기판 상에 상기 제1 절연막의 전면을 덮는 제2 및 제3 절연막을 순차적으로 형성하는 단계;

상기 제3 절연막 상에 상기 트랜치의 일부를 상기 제1 물질막을 형성하는 단계;

상기 제1 물질막을 씌어하여 상기 트랜치의 일부를 상기 제1 물질막으로 채우되, 그 표면이 상기 기판의 표면보다 낮게 될 때까지 상기 제1 물질막을 씌어하는 단계;

상기 기판 상에 상기 트랜치의 나머지를 채우는 제2 물질막을 형성하는 단계;

상기 제2 물질막의 전면을 상기 기판의 표면이 노출될 때 까지 평탄화 하는 단계; 및

상기 평탄화 후의 결과물을 어닐링하는 단계를 포함하는 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치의 제조방법.

#### 청구항5

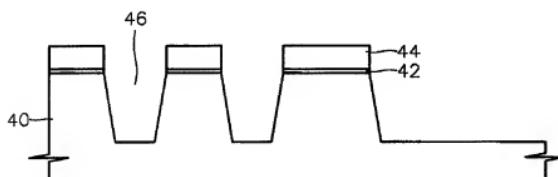
제 4 항에 있어서, 상기 제2 절연막은 질화막(SiN)으로 형성하고, 상기 제3 절연막은 MTO막 또는 HTO막으로 형성하고, 상기 제1 및 제2 물질막은 각각 폴리 실리콘층 및 CVD 산화막으로 형성하는 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치의 제조방법.

#### 청구항6

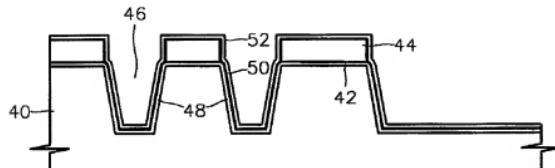
제 4 항에 있어서, 상기 평탄화 후에 실시하는 어닐링은 질소 어닐, 습식 어닐 또는 산소 어닐인 것을 특징으로 하는 트랜치형 소자분리막을 구비하는 반도체 장치의 제조방법.

#### 도면

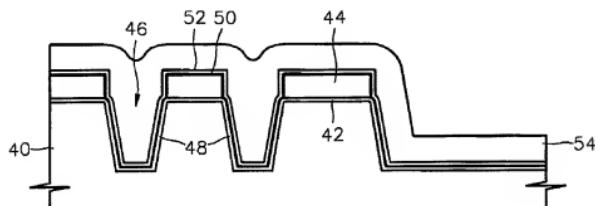
##### 도면1



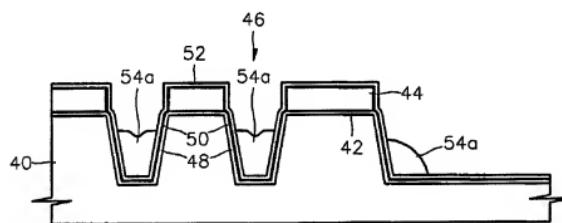
##### 도면2



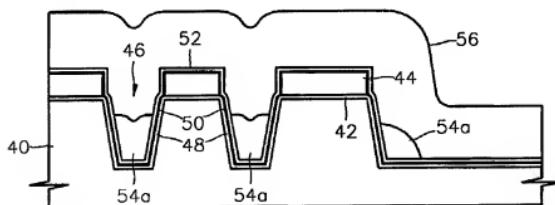
도면3



도면4



도면5



도면6

